



2022 年 11 月 24 日

報道機関 各位

千葉工業大学 数理工学研究センター

スパイキングニューラルネットワークを用いた 新方式 In-memory computing 回路の提案

キーワード：アナログ回路、アナログメモリ、In-memory computing、スパイキングニューラルネットワーク、ニューロモルフィックエンジニアリング、深層学習

[発表者]

酒見 悠介（千葉工業大学 数理工学研究センター 上席研究員）

森野 佳生（九州大学 大学院総合理工学研究院 准教授）

森江 隆（九州工業大学 大学院生命体工学研究科 特任教授・名誉教授）

細見 岳生（NEC デジタルテクノロジー開発研究所 主幹研究員）

合原 一幸（東京大学 特別教授・名誉教授／東京大学国際高等研究所ニューロインテリジェンス国際研究機構 副機構長／千葉工業大学 数理工学研究センター 主席研究員（嘱託））

[概要]

酒見悠介（千葉工大）、森野佳生（九州大）、森江隆（九工大）、細見岳生（NEC）、合原一幸（東大）は、脳の数理モデルであるスパイキングニューラルネットワーク※¹を用いることで、深層学習の超低消費電力ハードウェアである In-memory computing 回路※²を高性能化する仕組み

「RC-Spike」を考案し、数値シミュレーションでその効果を実証することに成功しました。この成果は、2022 年 5 月 30 日に査読付き国際学会 IEEE International Symposium on Circuits and Systems (ISCAS2022)で発表されました。

■ 背景

近年、深層学習による人工知能(AI)の性能向上により、画像認識、翻訳、自動運転などの複雑なアプリケーションが実社会で応用可能になってきました。しかし、実社会で深層学習を運用するにあたっては、認識性能などのアルゴリズム的な性能のみならず、物理的制約を考慮する必要があります。特に消費電力は非常に重要です。深層学習は一般に電力消費が大きいいため、バッテリー容量が限られるスマートフォンやロボットなどのデバイス上で駆動させるのは困難です。そのため、深層学習の電力消費を低減することがAI研究の重要課題となっています。

消費電力を低減する最も直接的な方法の一つは専用ハードウェアを作ることです。近年、深層学習用のハードウェアの開発が、学术界のみならず産業界でも精力的に取り組まれています。数あるハードウェア方式の中で、特に高い電力効率を示しているのがIn-memory computing (IMC)^{※2}と呼ばれる、アナログ演算回路です。原理は極めて単純で、抵抗に流れる電流を足し合わせることで、深層学習のコアの演算である積和演算を行います。In-memory computing 回路は深層学習の電力効率を飛躍的に向上させましたが、「既存のアルゴリズムをハードウェアにマッピングする」という一般的なトップダウンな発想のもと開発が進んできました。

■ 内容

本研究では、IMC回路のさらなる高性能化を目指し、脳のモデルであるスパイキングニューラルネットワーク (SNN)^{※1}を応用しました。SNNを回路化し、知能システムを構築する研究はニューロモルフィックエンジニアリングとして知られており、「回路をニューロンと見なし、それらを繋ぎ、ネットワークを構築し、学習させる」というボトムアップ的な発想に基づいています。私たちは、このボトムアップ的な発想をもとに、IMC回路を再構成することを目指しました。

私たちが行った再構成は、IMC回路の構成要素(ニューロン)を単純化し、それをもとにネットワークを構築するということです。この単純化した構成を私たちはRC-Spikeと名付けました。図1に従来式IMCでの回路と、RC-Spikeの回路を比較しています。RC-Spikeでは、従来式のようなオペアンプや電流源のようなアクティブデバイスが取り除かれていることがわかります。これにより電力効率の向上や回路面積の縮小が可能になります。図2に、従来式IMC回路とRC-Spikeでの動作を比較しています。従来式IMC回路では、キャパシター電圧の時間発展は区分的線形的であり、ニューロンの出力は積和演算と同等となります。IMC回路はこの性質により深層学習の演算が可能になります。一方で、RC-Spikeでは、時間発展が指数関数的減衰の特性を持ち、出力も積和演算とは異なります。これは、キャパシターに流れ込む電流が、キャパシターの電圧に依存してしまう特性(抵抗結合効果: 図1)によるものです。そのため、RC-Spikeは、一般的な深層学習をそのまま演算することはできません。そこで私たちは、RC-SpikeをSNN

と見なし、SNN の学習アルゴリズムを導出することでこの問題を解決しました（学習則の詳細は原論文参照）。

隠れ層が二層ある RC-Spike の SNN (784-200-200-10) を標準的ベンチマークである MNIST と Fashion-MNIST で学習させました。RC-Spike は、駆動電圧に相当するパラメータ V_{syn} によって、動作モードを連続的に変化させることが可能で、 V_{syn} が小さいほど、電力効率が向上しますが、動作が SNN 的(抵抗結合効果が大きい)になります。図 3 に示すように、RC-Spike は、抵抗結合効果が強くなる領域 ($V_{syn} \sim 1$) においても、一般的な深層学習と同程度の性能を維持することができます。これらの結果から、RC-Spike によって、認識性能を損なわずに、IMC 回路を簡略化し電力効率を高めることが可能であると言えます。

このように、本研究によって、回路素子に着目してアルゴリズムを構築していくアナログ回路設計のボトムアップ的アプローチは、実用上の大きな利点があることを示すことができました。また、本研究は、SNN の新たな活用方法を示したという点でも重要です。一般的な SNN の回路化を目指すニューロモルフィックエンジニアリングでは、SNN のもつ非同期性やスパイク通信の特性に着目しますが、本研究では SNN の柔軟なモデリング特性に着目し応用しました。今後、より詳細なアナログ回路の特性を取り込んだアルゴリズムの開発や、回路試作などを通して、重要社会課題である AI の電力問題に取り組んでいきます。

※1) スパイクニューラルネットワーク (SNN)

ニューロン間の情報伝達が 0 または 1 の状態で表されるスパイク信号(パルス)で行われるニューラルネットワーク。ニューロンはスパイク信号を受け取ると、内部状態である膜電位が変化していき、ある閾値を超えると自身もスパイク信号を生成し、ほかのニューロンへ伝達する。

※2) In-memory computing (IMC)回路

既存のデジタル演算システムは、演算器とメモリが分離した構成をしているが、深層学習のようなデータ中心のアルゴリズムでは、それらの間の信号伝送に大きな電力が必要であり、電力効率上のボトルネックとなっていた。In-memory computing は記憶機能のみを有していたメモリセルアレイにアナログ演算機能を持たせることで、このボトルネックを解消し、電力効率を飛躍的に向上させた。情報は抵抗値として保存されており、抵抗に流れる電流（オームの法則）を足し合わせることで（キルヒホッフの法則）積和演算を実現することができる。本研究では特に、電荷を演算結果とする方式 (charge-domain computing) のことを指している。なお、Computing-in-memory (CIM)回路と呼ばれることも多い。

■ 発表会議情報

国際会議名: IEEE International Symposium on Circuits and Systems (ISCAS)

論文題目: A Spiking Neural Network with Resistively Coupled Synapses Using Time-to-First-Spike Coding Towards Efficient Charge-Domain Computing

著者: Yusuke Sakemi、Kai Morino、Takashi Morie、Takeo Hosomi、and Kazuyuki Aihara

URL: <https://ieeexplore.ieee.org/document/9937662>

DOI: 10.1109/ISCAS48785.2022.9937662

発表日時: 2022 年 5 月 30 日

■ 謝辞

本研究の一部は、日本電気株式会社、JST Moonshot R&D Grant Number JPMJMS2021、AMED under Grant Number JP21dm0307009、セコム科学技術振興財団から助成を受けて行われました。

<お問い合わせ先>

【本研究内容に関する問い合わせ先】

千葉工業大学 数理工学研究センター 上席研究員

酒見 悠介

TEL: 047-478-0320

E-mail: yusuke.sakemi@p.chibakoudai.jp

【取材・大学広報関連に関する問い合わせ先】

千葉工業大学 入試広報部

大橋 慶子

TEL: 047-478-0222 FAX: 047-478-3344

E-mail: ohhashi.keiko@it-chiba.ac.jp

従来式IMCでの回路

RC-Spikeの回路

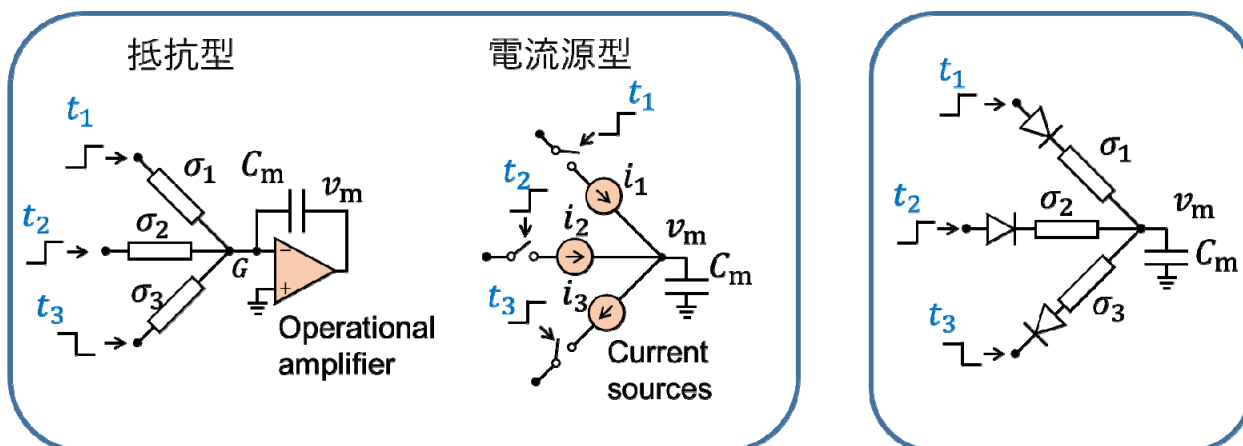


図1 従来のIMCとRC-Spikeの回路実装(充電フェーズ)の比較

従来式 In-memory-computing (IMC)回路では、キャパシターに流れ込む電流が膜電位に依存しないようにオペアンプや電流源などのアクティブデバイスを用いる。アクティブデバイスは回路面積と電力が増大する欠点がある。一方、RC-Spike 回路では、電流が膜電位に依存することを許容する（抵抗結合効果）。電流の逆流を防ぐダイオードが必要ではあるが、アクティブデバイスが存在しないため電力効率を向上させることができる。

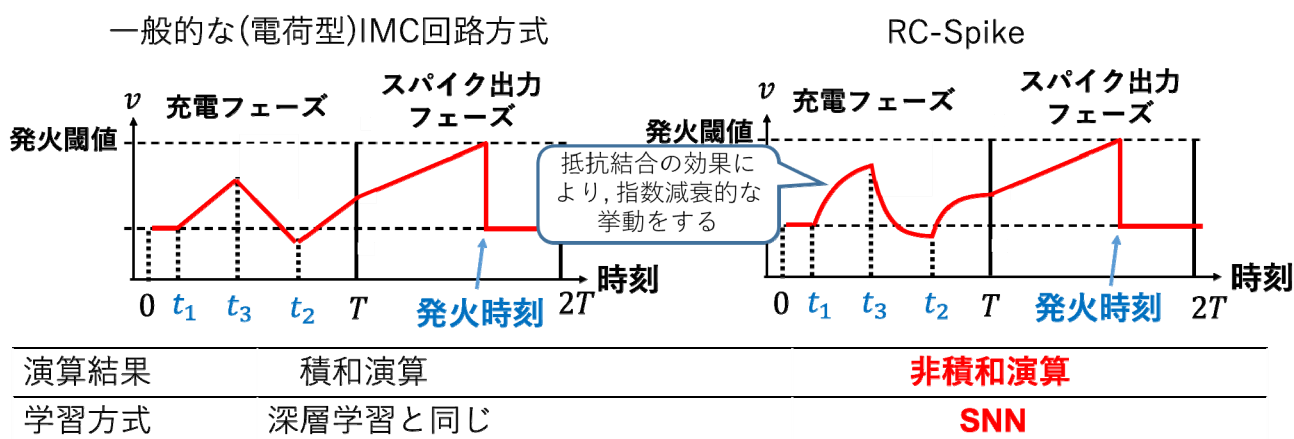
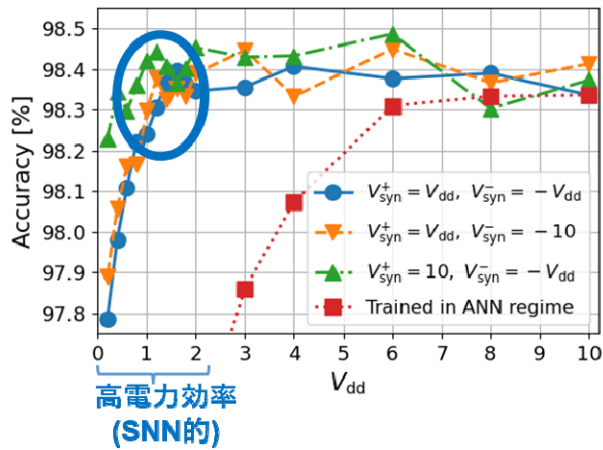


図2 従来のIMC回路とRC-Spikeの動作比較

左図は従来型 In-memory computing(IMC) の膜電位の時間発展を表し、右図は考案した RC-Spike での膜電位の時間発展を表している。従来型では、充電フェーズで、区分線系な時間発展をしているが、RC-Spike では、指数関数減衰的な時間発展をしている様子がわかる。これは、抵抗結合による効果によるもの。この結果、RC-Spike では、演算結果が積和演算と異なるものになるため、SNN として学習する必要がある。

MNIST



Fashion-MNIST

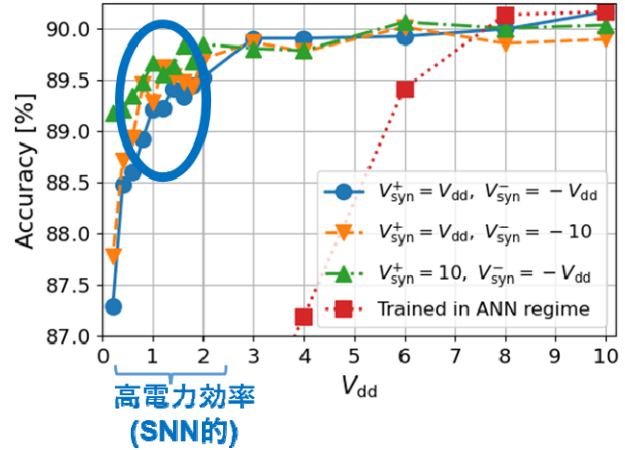


図 3 RC-Spike の学習性能

MNIST データセット、Fashion-MNIST での認識性能を評価した。RC-Spike は、駆動電圧に相当するパラメータ V_{syn} によって、動作モードを連続的に変化させることができ、 V_{syn} が小さいほど電力効率が向上するが、動作が SNN 的(抵抗結合効果が大きい)になる。 V_{syn} が小さい領域 ($V_{dd} \sim 1$)においても、一般的な深層学習と同程度の性能を維持することができている。